

Patent number: JP6011734
Publication date: 1994-01-21
Inventor: NAKAMURA HIROYOSHI; MASUDA YOICHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: G02F1/133; G02F1/1343; G02F1/136; G02F1/1368;
G09F9/30; H01L21/336; H01L29/786; G02F1/13;
G09F9/30; H01L21/02; H01L29/66; (IPC1-7):
G02F1/136; G02F1/133; G02F1/1343; G09F9/30
- european:
Application number: JP19930085832 19930413
Priority number(s): JP19930085832 19930413; JP19920094699 19920415

Abstract of JP6011734

【特許請求の範囲】

【請求項1】 ソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれる活性領域とを備えた複数の薄膜トランジスタと、信号線駆動回路からの映像信号をそれぞれの前記薄膜トランジスタの前記ドレイン領域に供給する複数本の信号線と、

前記信号線の両側にそれぞれの前記薄膜トランジスタのソース領域に接続されて配置される一対の画素電極と、前記一対の画素電極間に配置される補助容量線と、前記補助容量線と前記信号線との間に積層される信号保持用絶縁膜とを備えたことを特徴とした液晶表示装置。

【請求項2】 請求項1記載の液晶表示装置において、前記薄膜トランジスタは前記ソース領域に電氣的に接続されたソース延長領域を含み、前記ソース延長領域の少なくとも一部表面上には第1の画素容量用絶縁膜が配置され、前記ソース延長領域は前記第1の画素容量用絶縁膜を介して前記補助容量線に被覆されることを特徴とする液晶表示装置。

【請求項3】 請求項2記載の液晶表示装置において、前記ソース延長領域は上部領域と側部領域とを含み、前記上部領域と前記補助容量線との間および前記側部領域と前記補助容量線との間に前記第1の画素容量用絶縁膜を介する画素電位保持容量が形成されることを特徴とする液晶表示装置。

【請求項4】 請求項1記載の液晶表示装置において、前記補助容量線の少なくとも一部表面上には第2の画素保持用絶縁膜が配置され、前記画素電極と前記第2の画素保持用絶縁膜を介して重複する領域を備えたことを特徴とした液晶表示装置。

【請求項5】 請求項1記載の液晶表示装置において、それぞれの前記薄膜トランジスタは、前記活性領域上に配置されるゲート絶縁膜、前記ゲート絶縁膜を介して前記信号線とは略直交する走査線に接続されたゲート電極を含み、前記補助容量線は前記走査線と略平行な方向に延びていることを特徴とする液晶表示装置。

【請求項6】 請求項1記載の液晶表示装置において、それぞれの前記薄膜トランジスタは、前記活性領域上に配置されるゲート絶縁膜、前記ゲート絶縁膜を介して前記信号線とは略直交する走査線に接続されたゲート電極を含み、前記走査線は2本を1組として近接配置され、1組の前記走査線を介して隣接する前記画素電極のそれぞれが配置されていることを特徴とした液晶表示装置。

【請求項7】 請求項6記載の液晶表示装置において、1組の前記走査線を介して隣接する前記画素電極のそれぞれに接続された一対の前記薄膜トランジスタの前記ドレイン領域は前記信号線に接続部を介して共通に接続されていることを特徴とした液晶表示装置。

【請求項8】 ソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれる活性領

域とを備えた複数の薄膜トランジスタと、

信号線駆動回路からの映像信号をそれぞれの前記薄膜トランジスタの前記ドレイン領域に供給する複数本の信号線と、

前記信号線の両側にそれぞれの前記薄膜トランジスタのソース領域に接続されて配置される一対の画素電極と、前記ソース領域から一対の前記画素電極間に延びるソース延長領域と、

前記ソース延長領域の表面に配置される画素容量用絶縁膜と、

前記画素容量用絶縁膜を介して前記ソース延長領域を被覆する補助容量線と、

前記補助容量線と前記信号線との間に積層される信号保持用絶縁膜とを備えたことを特徴とした液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一対の基板間に液晶層が保持されて成る液晶表示装置に係り、特に各表示画素に選択的に駆動電圧を印加するためのスイッチ素子が設けられて成る液晶表示装置に関する。

【0002】

【従来の技術】 複数の表示画素がマトリクス状に配置され、各表示画素に選択的に映像信号電圧を印加するためのスイッチ素子が設けられて成る液晶表示装置は、軽量、低消費電力、更にクロストークのない良好な表示画像を得ることができる。

【0003】そして、近年では、各表示画素の微細ピッチ化に伴い液晶パネルと駆動回路との接続の煩わしさを解消するべく、同一基板上に駆動回路が一体に形成された液晶表示装置が注目を集めている。

【0004】このような各表示画素の微細ピッチ化に対処して、いかにして高い開口率を確保するかが液晶表示装置に対する大きな技術課題となってきた。このような微細ピッチ化に対しても高い開口率の確保が可能な液晶表示装置が、例えば「SID 90 DIGEST P.315-P.318; New Technologies for Compact TFT LCDs with High-Aperture Ratio」に開示されている。

【0005】以下に、等価回路図を示す図5、概略正面図を示す図6を参照して簡単に説明する。この液晶表示装置(901)は、一体的に駆動回路部が形成されたマトリクスアレイ基板(図示せず)と対向基板(図示せず)との間に液晶層(803)が保持されて成っている。

【0006】マトリクスアレイ基板は、絶縁基板(図示せず)上に図6に示すように複数本の走査線(713a)、(713b)と複数本の信号線(711)とがマトリクス状に配置されており、各交点部分にスイッチ素子として薄膜トランジスタ(以下、TFTと略称する。)(721a)、(721b)を介して画素電極(751a)、(751b)が配置されている。

【0007】この液晶表示装置(901)は2本の走査線(713a)、(713b)が1組として近接配置されている。また、

走査線(713a), (713b) を介することなく信号線(711)に沿って隣合う画素電極(751a), (751b)に共通な補助容量線(821)が設けられている。

【0008】このような構成を採用することにより、第1に補助容量線(821)数を従来の約半数に低減でき、第2に近接配置された1単位の走査線(713a), (713b)に接続される1単位のTFT(721a), (721b)と信号線(711)との接続を共通化することによりコンタクトホール(730)数も約半数に低減できる。

【0009】

【発明が解決しようとする課題】ところで、点順次駆動、即ち映像信号を各信号線(711)に順次あるいは複数本の信号線(711)から成るブロック毎に順次印加する液晶表示装置(901)においては、各信号線(711)に印加される映像信号を例えば1水平走査期間といった所定期間保持するために、各信号線(711)に接続される信号電位保持容量(Cv)を形成する必要がある。

【0010】上述したような従来の液晶表示装置(901)においては、表示領域内部に形成される画素電位保持容量(Cv)は、信号線(711)と走査線(713a), (713b)との交差部分と、信号線(711)と補助容量線(821)とのわずかな交差部分でしかない。従って、このような液晶表示装置(901)においては、表示領域周辺に十分な信号電位保持容量(Cv)を形成する必要がある。

【0011】しかしながら、表示領域周辺に十分な信号電位保持容量(Cv)を形成するためには、信号電位保持容量用の大きな電極面積が必要となり、装置の大型化を招いてしまう。

【0012】このようなことは、液晶表示装置(901)の高精細化に伴い一層顕著になる。即ち、画素ピッチが小さくなるにつれて信号線(711)間が狭くなるにもかかわらず、必要な信号電位保持容量(Cv)は従来と同程度である。このため、信号線(711)に沿った方向に信号電位保持容量用の各電極を形成せざるを得ず、一層装置の大型化を招いてしまうためである。

【0013】また、液晶表示装置(901)の表示領域周辺で一對の電極基板をシール剤によって封止する場合には、シール剤中に含まれるガラス製のファイバ等によって、信号電位保持容量用の電極が破壊されることもある。

【0014】本発明は、上述した技術課題に対処して成されたものであって、表示領域の開口率を損なうことなく十分な信号電位保持容量を備えた液晶表示装置を提供することを目的としている。

【0015】

【課題を解決するための手段】請求項1の液晶表示装置は、ソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれる活性領域とを備えた複数の薄膜トランジスタと、信号線駆動回路からの映像信号をそれぞれの前記薄膜トランジスタの前記ドレイ

ン領域に供給する複数本の信号線と、前記信号線の両側にそれぞれの前記薄膜トランジスタのソース領域に接続されて配置される一對の画素電極と、前記一對の画素電極間に配置される補助容量線と、前記補助容量線と前記信号線との間に積層される信号保持用絶縁膜とを備えたことを特徴としている。

【0016】請求項2に記載される発明は、請求項1記載の液晶表示装置において、前記薄膜トランジスタは前記ソース領域に電気的に接続されたソース延長領域を含み、前記ソース延長領域の少なくとも一部表面上には第1の画素容量用絶縁膜が配置され、前記ソース延長領域は前記第1の画素容量用絶縁膜を介して前記補助容量線に被覆されることを特徴としている。

【0017】請求項3に記載される発明は、請求項2記載の液晶表示装置において、前記ソース延長領域は上部領域と側部領域とを含み、前記上部領域と前記補助容量線との間および前記側部領域と前記補助容量線との間に前記第1の画素容量用絶縁膜を介する画素電位保持容量が形成されることを特徴としている。

【0018】請求項4に記載される発明は、請求項1記載の液晶表示装置において、前記補助容量線の少なくとも一部表面上には第2の画素保持用絶縁膜が配置され、前記画素電極と前記第2の画素保持用絶縁膜を介して重複する領域を備えたことを特徴としている。

【0019】請求項5に記載される発明は、請求項1記載の液晶表示装置において、それぞれの前記薄膜トランジスタは、前記活性領域上に配置されるゲート絶縁膜、前記ゲート絶縁膜を介して前記信号線とは略直交する走査線に接続されたゲート電極を含み、前記補助容量線は前記走査線と略平行な方向に延びていることを特徴としている。

【0020】請求項6に記載される発明は、請求項1記載の液晶表示装置において、それぞれの前記薄膜トランジスタは、前記活性領域上に配置されるゲート絶縁膜、前記ゲート絶縁膜を介して前記信号線とは略直交する走査線に接続されたゲート電極を含み、前記走査線は2本を1組として近接配置され、1組の前記走査線を介して隣接する前記画素電極のそれぞれが配置されていることを特徴としている。

【0021】請求項7に記載される発明は、請求項6記載の液晶表示装置において、1組の前記走査線を介して隣接する前記画素電極のそれぞれに接続された一對の前記薄膜トランジスタの前記ドレイン領域は前記信号線に接続部を介して共通に接続されていることを特徴としている。

【0022】更に、請求項8に記載される液晶表示装置は、ソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれる活性領域とを備えた複数の薄膜トランジスタと、信号線駆動回路からの映像信号をそれぞれの前記薄膜トランジスタの前記ドレイ

ン領域に供給する複数本の信号線と、前記信号線の両側にそれぞれ前記薄膜トランジスタのソース領域に接続されて配置される一対の画素電極と、前記ソース領域から一対の前記画素電極間に延びるソース延長領域と、前記ソース延長領域の表面に配置される画素容量用絶縁膜と、前記画素容量用絶縁膜を介して前記ソース延長領域を被覆する補助容量線と、前記補助容量線と前記信号線との間に積層される信号保持用絶縁膜とを備えたことを特徴としている。

【0023】

【作用】上述した如く、本発明の液晶表示装置によれば、信号線の両側に配置される一対の画素電極の間に、第1の信号保持用絶縁膜を介して信号線と補助容量線とが配置されているため、表示領域内部に十分に大きな信号保持容量(Cv)を形成することができる。

【0024】そして、信号線幅あるいは第1の信号保持用絶縁膜の膜厚あるいは材料等を適宜選択することにより、表示領域外に信号電位保持容量(Cv)を形成する必要なく、表示領域内部のみ信号電位保持容量(Cv)で形成することも可能となる。

【0025】これにより、信号電位保持容量(Cv)のシール剤による破壊の問題あるいは装置の大型化の問題などを一挙に解決することができる。しかも、上述した如く、一対の画素電極の間の表示に寄与しない領域を旨く用いて信号電位保持容量(Cv)を形成しているため、従来に比べて開口率が大きく低下することもない。

【0026】

【実施例】以下、本発明の一実施例を投射型ハイビジョンTV用途に用いられ点順次駆動される液晶表示装置(501)を例にとり、図面を参照して詳細に説明する。この液晶表示装置(501)は、図3、4に示すように一対の電極基板(101)、(301)間にポリイミドから成る配向膜(271)、(331)を介して液晶層(401)が保持されて構成されている。

【0027】第1の電極基板(101)は、図1に示すように、表示領域(281)と、この表示領域(281)周辺に形成される信号線駆動回路(291)、走査線駆動回路(293)、対向電極駆動回路(295)とを備えている。尚、図示しないが、上述した信号線駆動回路(291)はシフトレジスタと、シフトレジスタの出力に基づいて入力される映像信号をサンプリングし保持するサンプルホールド回路とによって構成され、また走査線駆動回路(293)は走査信号を順次転送するシフトレジスタによって構成されている。

【0028】表示領域(281)には、信号線駆動回路(291)に接続され互いに略平行に所定の間隔を隔てて配置される複数本の信号線 X_i ($i=1, 2, \dots, m$) (111)、走査線駆動回路(293)に接続され2本を1組として近接配置され信号線(111)とは略直交し互いに略平行に配置される複数本の走査線 Y_j ($j=1, 2, \dots, n$) (113)が配置されてい

る。

【0029】そして、1組の走査線(113)の一方の走査線(113a)と信号線(111)との交点部分に配置されるTF T(121a)を介してITO(Indium-Tin-Oxide)から成る第1の画素電極(151a)が、他方の走査線(113b)と信号線(111)との交点部分に配置されるTF T(121b)を介してITOから成る第2の画素電極(151b)が配置されている。

【0030】また、1組の走査線(113a)、(113b)を介することなく信号線(111)に沿って隣接する第1、2の画素電極(151a)、(151b)間には、第1、2の画素電極(151a)、(151b)に電気的に並列に接続される画素電位保持容量(Cs)を形成するため、所定の電位に接続され、一体に形成された補助容量線(211)が走査線(113)と略平行に配置されている。

【0031】第2の電極基板(301)は、図3に示すように、透明な石英基板(303)上に走査線(113a)、(113b)と略平行に延びるクロム(Cr)等の金属からなるストライプ状の遮光層(311)が1組の走査線(113a)、(113b)およびTF T(121a)、(121b)上を遮光するように配置されている。また、第2の電極基板(301)はITOから成る対向電極(321)、この上に配置される配向膜(331)を備えて構成されている。

【0032】そして、第1の電極基板(101)と第2の電極基板(301)とは、スペーサ(図示せず)を介して所定の間隔に制御され、表示領域(281)と駆動回路(291)、(293)、(295)との間に設けられたシール剤(図示せず)によって液晶層(401)を保持している。

【0033】次に、この液晶表示装置(501)の第1の電極基板(101)の概略正面図を示す図2、この図2におけるA-A'線およびB-B'線に沿って切断した液晶表示装置(501)の概略断面図、C-C'線に沿って切断した概略断面図を参照して更に詳細に説明する。

(TF T部分) まず、この液晶表示装置(501)のTF T(121a)、(121b)部分について詳細に説明する。

【0034】この液晶表示装置(501)の第1の電極基板(101)は、図3に示すように透明な石英基板(103)上に1300オングストロームの膜厚の島状の多結晶シリコン膜(120)を備えている。

【0035】各多結晶シリコン膜(120)は、1組の走査線(113a)、(113b)を介して隣接する第1の画素電極(151a)、第2の画素電極(151b)のそれぞれに接続される1組のTF T(121a)、(121b)を構成するため、図3に示すようにソース領域(123a)、(123b)、ドレイン領域(125a)、(125b)、ソース領域(123a)、(123b)とドレイン領域(125a)、(125b)とに挟まれる活性領域(127a)、(127b)、更にドレイン領域(125a)、(125b)間を接続するドレイン接続領域(129)を備えている。

【0036】この多結晶シリコン膜(120)の活性領域(127a)、(127b)上には、それぞれ多結晶シリコン膜(120)

が熱酸化されて成る1000オングストロームのゲート絶縁膜(141a), (141b) が配置されている。そして、このゲート絶縁膜(141) 上には走査線(113a), (113b) から延長されたゲート電極(115a), (115b) が配置されている。このゲート電極(115a), (115b) は、走査線(113a), (113b) と同様に不純物がドーパされた1500オングストロームの膜厚のポリシリコン(p-Si) と2500オングストロームの膜厚のWSi₂ との2層構造から成っている。

【0037】この上に、第1の層間絶縁膜(161)、信号線(111) が順次配置されている。そして、多結晶シリコン膜(120) のドレイン接続領域(129) と信号線(111) とがコンタクトホール(130) を介して接続されている。

【0038】また、この信号線(111) 上には第2の層間絶縁膜(171) が配置され、この上にITOから成る画素電極(151a), (151b) が配置されている。そして、各画素電極(151a), (151b) と多結晶シリコン膜(120) のソース領域(123a), (123b) とは、それぞれコンタクトホール(160) を介して電氣的に接続されている。

【0039】このように、本実施例において、1組の走査線(113a), (113b) を介して隣接する第1、第2の画素電極(151a), (151b) にそれぞれ接続される1組のTF T(121a), (121b) は、共通の多結晶シリコン膜(120) により形成されており、しかも1組のTF T(121a), (121b) はドレイン接続領域(129) を介して共通のコンタクトホール(130) により信号線(111) に接続されている。

【0040】このような構成とすることにより、表示領域(281) 内に形成されるTF T(121a), (121b) と信号線(111) との電氣的接続を得るためのコンタクトホール(130) 数をTF T(121a), (121b) 数の半数に低減することができ、これにより開口率を向上させることができる。

【0041】また、この実施例では、図2に示すように、多結晶シリコン膜(120) の活性領域(127a), (127b) に比べて幅広の信号線(111) が第1の層間絶縁膜(161) を介して活性領域(127a), (127b) を遮光するように活性領域(127a), (127b) 上に配置されている。

【0042】従って、液晶層(401) と第2の電極基板(301) との界面での反射光がTF T(121a), (121b) に照射されることを防止する遮光層等をTF T(121a), (121b) 上に別途設ける必要がなく、TF T(121a), (121b) の光リークを防止でき、良好な表示画像を得ることができる。

(画素電位保持容量部) 上述した多結晶シリコン膜(120) は、各ソース領域(123a), (123b) から互いに相反する方向に各ソース領域(123a), (123b) に接続された画素電極(151a), (151b) を取り囲むように延長されたソース延長領域(131a), (131b) を備えている。

【0043】この多結晶シリコン膜(120) のソース延長領域(131a), (131b) の上部領域(135a), (135b) および側部領域(137a), (137b) のそれぞれには、ゲート絶縁膜(141a), (141b) と同様に多結晶シリコン膜(120) が熱酸化

されて成る第1の画素容量用絶縁膜(143a), (143b) が配置されている。

【0044】そして、補助容量線(211) は、1組の走査線(113a), (113b) を介することなく信号線(111) 方向に隣接配置される第1の画素電極(151a) と第2の画素電極(151b) との間に一体的に配線され、第1の画素容量用絶縁膜(143a), (143b) を介してソース延長領域(131a), (131b) を被覆するように、走査線(113) と略平行な方向にストライプ状に延長されて配置されている。

【0045】また、この補助容量線(211) は、1組の走査線(113a), (113b) を介することなく信号線(111) 方向に隣接配置される第1の画素電極(151a) と第2の画素電極(151b) との間にそれぞれ延びソース延長領域(131a), (131b) を被覆する延長領域(213) を備えている。

【0046】そして、この補助容量線(211) は、走査線(113) およびゲート電極(115a), (115b) と同一材料から成り、所定の電位に接続されてる。また、補助容量線(211) は、各画素電極(151a), (151b) と上述した第1、第2の層間絶縁膜(161), (171) と同様に形成された第2、第3の画素容量用絶縁膜(165), (175) を介して一部重複する重複領域(221a), (221b) を備えている。

【0047】このように補助容量線(211) を構成することにより、走査線(113) 数に比べて補助容量線(211) 数を約半数に低減することができ、これにより開口率を向上させることができる。

【0048】また、各画素電極(151a), (151b) には、ソース延長領域(131a), (131b) の上部領域(135a), (135b) を一方の電極とし補助容量線(211) を他方の電極として形成される第1の画素電位保持容量(Cst) の他に、ソース延長領域(131a), (131b) の側部領域(137a), (137b) を一方の電極とし補助容量線(211) を他方の電極として形成される第2の画素電位保持容量(Css) が電氣的に並列に接続される。更に、各画素電極(151a), (151b) を一方の電極とし補助容量線(211) の重複領域(221a), (221b) を他方の電極として形成される更なる第3の画素電位保持容量(Csp) が各画素電極(151a), (151b) に電氣的に並列に接続される。

【0049】従って、補助容量線(211) によって遮光される領域に比べて十分に大きな画素電位保持容量(Cs) を各画素電極(151a), (151b) に電氣的に並列に形成することができ、これにより隣接する画素電極(151a), (151b) の影響を防止することができる。

【0050】ところで、上述したように、ソース延長領域(131a), (131b) を多結晶シリコン膜(120) により各ソース領域(123a), (123b) と一体的に形成する場合、ソース延長領域(131a), (131b) もソース領域(123a), (123b) と同様に不純物を注入することにより低抵抗化する必要がある。しかし、ソース延長領域(131a), (131b) 上には補助容量線(211) が配置されるため、ソース領域(123a), (123b) あるいはドレイン領域(125a), (125b) と同様

に低抵抗化を行うことが困難である。従って、この実施例では、多結晶シリコン膜(120)を形成した後、不純物を注入することによりまずソース延長領域(131a)、(131b)を形成する。そして、ゲート絶縁膜(141a)、(141b)および第1の画素容量用絶縁膜(143a)、(143b)を上述した如く多結晶シリコン膜(120)の熱酸化により形成した後、ゲート電極(115a)、(115b)および補助容量線(211)を配置し、ゲート電極(115a)、(115b)および補助容量線(211)をマスクとして再び不純物を注入し、ソース領域(123a)、(123b)、ドレイン領域(125a)、(125b)、そして各ソース領域(123a)、(123b)とドレイン領域(125a)、(125b)に挟まれる活性領域(127a)、(127b)を形成した。

【0051】このソース延長領域(131a)、(131b)を形成する場合は、不純物の注入量としては $1 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^2$ 程度が望ましい。第1の画素容量用絶縁膜(143a)、(143b)を形成する際にドーパ量が多すぎると、その膜厚がTFT(121a)、(121b)の活性領域(127a)、(127b)上のゲート絶縁膜(141a)、(141b)の膜厚より厚くなってしまい、必要な画素電位保持容量(Cs)を得ることができない。また、ドーパ量が少なすぎると、今度は所望の画素電位保持容量(Cs)の確保が困難となる。

【0052】そこで、ゲート絶縁膜(141a)、(141b)および第1の画素容量用絶縁膜(143a)、(143b)を、上述した熱酸化に変えて同時にCVD法等の成膜で形成する方法を用いて形成することにより、画素電位保持容量(Cs)を形成すべき部分には十分な量の不純物を注入して低抵抗化するだけでよく、素子間の特性のばらつきが抑えられ、製造歩留りを向上させることができる。

【0053】また、本実施例の如く、ソース延長領域(131a)、(131b)を被覆するように十分な幅を有する補助容量線(211)を設けることは、補助容量線(211)への電圧供給の速度低減にも寄与している。即ち、画素電位保持容量(Cs)を大きくすることは、補助容量線(211)自信の配線容量を大きくすることを意味する。従って、画素電位保持容量(Cs)を大きくするためには、補助容量線(211)のシート抵抗の低減および配線抵抗の低減を行う必要がある。このようなことは、ハイビジョン対応の場合ように多数の画素電極(151)数を必要とする場合、特に重要である。

【0054】そのために、この実施例ではリン(P)イオンがドーパされて成る多結晶シリコンとWSi₂の2層構造の補助容量線(211)を用いて配線の低抵抗化も行っている。

【0055】尚、この実施例では、上述した理由から、補助容量線(151)をゲート電極(115a)、(115b)、走査線(113a)、(113b)と同様に不純物がドーパされた1500オングストロームの膜厚のポリシリコン(p-Si)と2500オングストロームの膜厚のWSi₂との2層構造としたが、モリブデン(Mo)、モリブデン・タンタル(Mo-Ta)、タングステン(W)、アルミニウム(Al)

等の遮光性金属で形成しても良い。

【0056】また、この実施例において、補助容量線(211)を多結晶シリコンとWSi₂の2層構造としたのは、遮光性を確保するためでもある。補助容量線(211)を遮光性を有する材料によって形成することにより、補助容量線(211)が配置される領域には別途遮光層を設ける必要がなくなるためである。従って、この実施例では補助容量線(211)が設けられていない1組の走査線(113a)、(113b)およびTFT(121a)、(121b)上のみを遮光するように遮光層(311)を設けている。

【0057】これにより、遮光層(311)の第1の電極基板(101)に対する精度、また遮光層(311)の第1の電極基板(111)に対する位置合わせ精度の自由度を十分に大きくすることができ、生産性を向上させることも可能となる。

【0058】この実施例では、各ソース延長領域(131a)、(131b)は、それぞれ第1の画素容量用絶縁膜(143)を介して補助容量線(211)によって被覆されている。このため、各ソース延長領域(131a)、(131b)が、各ソース領域(123a)、(123b)に接続された画素電極(151a)、(151b)のみならず、隣接画素電極(151a)、(151b)と一部重複する重複領域(133a)、(133b)を備えていても、隣接画素電極(151a)、(151b)の電位の影響を受けることが防止できる。従って、画素電極(151a)、(151b)に要求される位置精度の自由度を大きくすることができる。

(信号電位保持容量部)次に、本実施例の特徴部分である信号電位保持容量(Cv)について図面を参照して説明する。

【0059】この液晶表示装置(501)によれば、上述したように、信号線(111)の両側に隣接配置される一対の第1の画素電極(151a)間および一対の第2の画素電極(151b)のそれぞれに延長される延長領域(213a)、(213b)を備えた補助容量線(211)が配置されている。そして、図3、4に示すように、補助容量線(211)と信号線(111)との間には第1の層間絶縁膜(161)が延長された第1の信号保持用絶縁膜(163)が積層配置されている。

【0060】図6に示される従来の液晶表示装置(901)においては、表示領域内に形成される信号電位保持容量(Cv)は、信号線(711)と走査線(713a)、(713b)、信号線(711)と補助容量線(821)の幅(L)間であるために小さく、表示領域外部に十分に大きな信号電位保持容量(Cv)を形成する必要があった。

【0061】これに対して、この実施例の液晶表示装置(501)によれば、延長領域(213a)、(213b)を含む補助容量線(211)を一方の電極とし、信号線(111)を他方の電極とした大きな信号電位保持容量(Cv)を各表示領域(281)内部に形成することができる。

【0062】この信号電位保持容量(Cv)は、図2、4に示すように、一対の第1の画素電極(151a)間および一対の第2の画素電極(151b)間のそれぞれに延長された延

長領域(213a), (213b)を含む補助容量線(211)が信号線(111)との重複領域(231)において十分に幅広く形成されているため、信号線駆動回路部(291)内に信号電位保持容量(Cv)を配置する必要がなくなる程度に十分に大きくできる。

【0063】しかも、この信号電位保持容量(Cv)は、一対の第1の画素電極(151a)間および一対の第2の画素電極(151b)間で形成されているため、開口率を損なうこともない。

【0064】これにより、表示領域(281)の開口率を損なうことなく、また別途表示領域(281)外部に信号電位保持容量(Cv)を形成する必要がなく、装置の小型化を達成することができる。

【0065】このようなことは、特に画素電極(151)ピッチが小さくなるにつれて、一層有効に作用する。即ち、表示領域(281)外部に信号電位保持容量(Cv)を形成しようとする場合、所望の容量の確保に必要な面積は同じであるにもかかわらず、画素電極(151)ピッチが小さくなるにつれて各信号線(111)間隔は狭くなるため、各信号線(111)に沿って長い信号電位保持容量部(Cv)を形成しなければならないためである。

【0066】また、この実施例によれば、信号電位保持容量(Cv)が表示領域(281)内部に形成されているため、信号線駆動回路(291)と表示領域(281)との間にシール剤を配置しても、シール剤中に含有されるフィラーなどによって信号電位保持容量部が損傷を受けるといったことがなく、これにより高い製造歩留りを確保することができる。

【0067】更に、図4に示す如く、信号線(111)および信号線(111)の両側に隣接配置される一対の第1、第2の画素電極(151a), (151b)の下方には、第1の層間絶縁膜(161)、第2の層間絶縁膜(171)を介して補助容量線(211)の延長領域(213)が配置されている。

【0068】このため、信号線(111)と各画素電極(151a), (151b)とを近接して配置しても、信号線(111)と画素電極(151a), (151b)との間に生じる横方向の電界を抑えるようにシールド層としても作用している。これにより、横方向電界に起因する液晶のリバースチルト長及びカップリング容量の低減が可能となり、良好な表示画像を確保することもできる。そして、このような横方向電界の低減により、信号線(111)の十分近傍まで各画素電極(151a), (151b)を配置させることができるため、従来に比べて良好な表示画像を確保しながら液晶表示装置(501)の開口率を向上させることもできる。

【0069】また、本実施例ではTFT(121)としてダブルゲート構造のものをを用いたが、シングルゲート構造のものをを用いても良く、シングルゲート構造場合は画素電位保持容量(Cs)の確保が容易になるとともに上記シールド効果も向上することは言うまでもない。

【0070】本実施例においては、図3、4に示すよう

に、信号線(111)は第1の層間絶縁膜(161)上に、各画素電極(151a), (151b)は第2の層間絶縁膜(171)上に層分離して配置したが、これは信号線(111)と各画素電極(151a), (151b)との間のショート不良の発生を防止するというためであって、同じ層上に形成しても良いことはいうまでもない。

【0071】以上詳述したように、この実施例の液晶表示装置(501)によれば、信号線(111)と補助容量線(211)との重複領域(231)とで信号電位保持容量(Cv)が形成されている。このように表示領域(281)内に信号電位保持容量(Cv)を開口率を低減させることなく旨く形成することにより、従来では表示領域(281)と信号線駆動回路(291)との間に形成されていた信号電位保持容量(Cv)を表示領域(281)内部に形成することができるため、信号線駆動回路(291)側に信号電位保持容量(Cv)を形成する必要がなく、周辺回路部分の小面積化を達成することができる。

【0072】また、この実施例によれば、ソース延長領域(131a), (131b)が第1の画素容量用絶縁膜(143a), (143b)を介して補助容量線(281)によって被覆されている。このため、ソース延長領域(131a), (131b)の上部領域(135a), (135b)を一方の電極とし補助容量線(211)を他方の電極として形成される第1の画素電位保持容量(Cst)の他に、ソース延長領域(131a), (131b)の側壁領域(137a), (137b)を一方の電極とし補助容量線(211)を他方の電極として形成される第2の画素電位保持容量(Css)が電気的に並列に接続される。従って、開口率を低下させることなく十分に大きな画素電位保持容量(Cs)を得ることができる。

【0073】そして、このようにして高い開口率と大きな画素電位保持容量(Cs)を確保することにより、各画素電極(151a), (151b)の不希望な電位変動が抑えられ、良好な表示画像を得ることができる。

【0074】更に、本実施例において特徴的なことは、各ソース延長領域(131a), (131b)がそれぞれ第1の画素容量用絶縁膜(143)を介して補助容量線(211)によって被覆されていることであり、これによりソース延長領域(131a), (131b)が電気的に接続されない隣接する画素電極と重複する重複領域を形成しても、隣接画素電極(151a), (151b)の電位の影響を受けることが防止でき、隣接する画素電極(151a), (151b)の影響の全くない優れた表示画像を得ることができる。

【0075】上述した本実施例の液晶表示装置(501)によれば、画素ピッチを40 μ m角と微細に形成したにも関わらず、40%という高開口率を確保すると共に、表示領域(281)内部に層間絶縁層膜厚が1 μ mで縦方向の画素数が1035個の場合約7 pFといった十分な信号電位保持容量(Cv)を形成することができた。

【0076】また、全体的な画素電位保持容量(Cs)の容量値としては、例えば図6に示す従来例と本実施例と

同じ画素サイズで概略比較すると、本実施例は従来に比べて約2倍の画素電位保持容量(Cs)を確保することができた。

【0077】ところで、本実施例では、遮光層(311)を対向電極(211)側に形成した場合を示したが、遮光層(311)と画素電極(151a), (151b)との位置合せを考慮して、TFT(121a), (121b)上あるいは下に他の絶縁膜を介して形成しても良い。

【0078】また、信号線(111)への書込時間は、信号電位保持容量(Cv)と信号電圧駆動回路(291)内のアナログスイッチのオン抵抗との積によって決定されるもので、信号電位保持容量(Cv)は大きければ大きいほど良いというものでもない。信号電位保持容量(Cv)の値は、アナログスイッチのオフ抵抗によるリーク特性と上記書込特性を考慮して決定する必要がある。このため、遮光層を絶縁膜を介してTFT(121a), (121b)の上に形成する場合、遮光層を走査線(113)に沿って略ストライプ状に形成することにより、遮光層と信号線(111)による不所望な容量の形成がなく、信号線(111)への書込時間の設定が容易となる。

【0079】また、遮光層をTFT(121a), (121b)の上に形成する場合、信号線(111)と画素電極(151a), (151b)を同層で形成するのではなく、図示しないが信号線(111)、絶縁膜、遮光層、絶縁膜、画素電極(151a), (151b)という積層構造にすると、遮光層が信号線(111)と画素電極(151a), (151b)とのシールド層として作用し、より完全に信号線(111)と画素電極(151a), (151b)とのカップリング容量を低減することができる。

【0080】

【発明の効果】以上詳述した如く、本発明の液晶表示装置によれば、開口率を低下させることなく表示領域内部に信号電位保持容量の一部または全部を形成することが*

* できるため装置、特に表示領域外の領域を小さくでき小型化を達成することができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例の液晶表示装置の等価回路図である。

【図2】図2は、図1における液晶表示装置の概略正面図である。

【図3】図3は、図面手前から図2における液晶表示装置のA-A'線、B-B'線に沿って切断した概略断面図である。

【図4】図4は、図2における液晶表示装置のC-C'線に沿って切断した概略断面図である。

【図5】図5は、従来の液晶表示装置の等価回路図を示す図である。

【図6】図6は、従来の液晶表示装置の概略正面図である。

【符号の説明】

(111) …信号線

(113) …走査線

(121) …TFT

(131) …ソース延長領域

(141) …ゲート絶縁膜

(143) …第1の画素容量用絶縁膜

(151) …画素電極

(161) …第1の層間絶縁膜

(163) …第1の信号保持用絶縁膜

(165) …第2の画素容量用絶縁膜

(171) …第2の層間絶縁膜

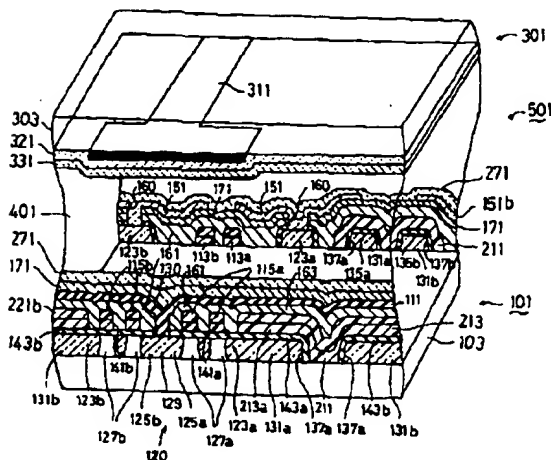
(175) …第2の信号保持用絶縁膜

(211) …補助容量線

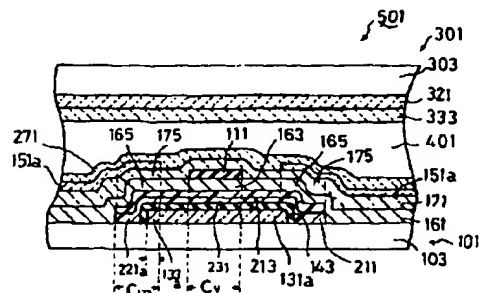
(301) …第2の電極基板

(313) …遮光層

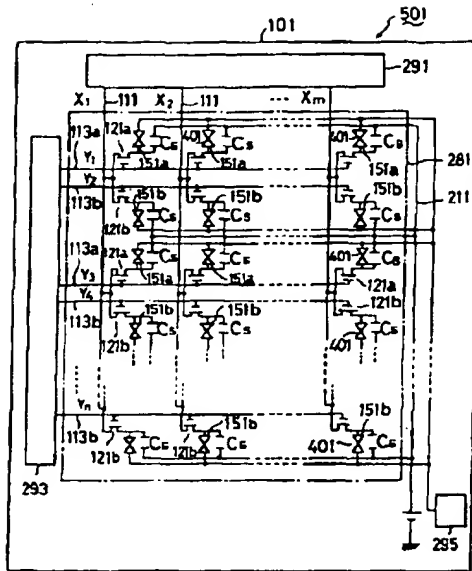
【図3】



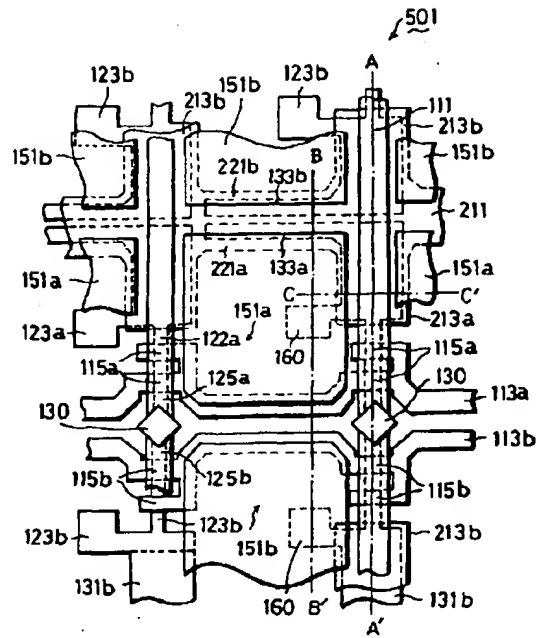
【図4】



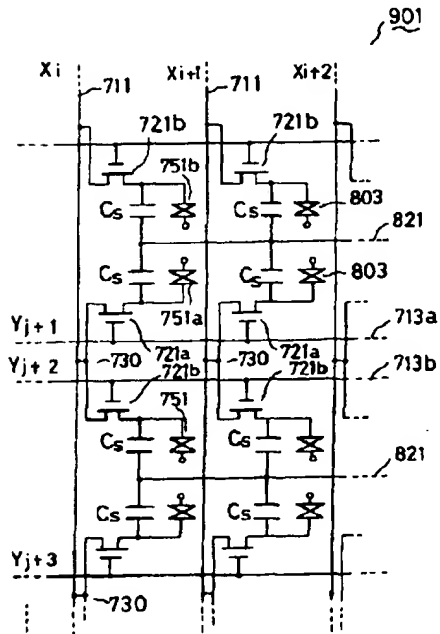
【図1】



【図2】



【図5】



【図6】

